

## 明 細 書

## ビタビ復号器

## 5 技術分野

本発明は、畳み込み符号や受信信号の等化処理を行う最尤復号法に用いられるビタビ復号器に関する。

## 背景技術

- 10 この種のビタビ復号器は、誤り訂正能力が高いことから、伝送経路誤りが生じやすい衛星通信及び移動体通信等の伝送方式における復号装置及び受信装置などの情報通信システムに用いられている。

- ビタビ復号は、受信データ系列と期待データ系列との差分（ブランチメトリック）を求める処理と、加算（Addition）、比較（Comparison）及び選択（Selection）という単純な処理（ACS）の繰り返し処理と、最終的にデータを復号するトレースバック処理とにより復号を実現するものである。この
- 15 ビタビ復号では、入力ビット1ビットに対応する符号化データを得るごとに、その時刻での各状態のパスの信号間距離を計算して、生き残りパスを求めている。

- 20 例えば、符号化方式を畳み込み符号とする場合のビタビ復号の処理は、以下のように行われる。

- 畳み込み符号は、入力ビットと、それに先行する一定数のビットとの排他的論理和により生成され、入力ビット1ビットに対応して複数の符号化データが生成される。この符号化データに影響を与える入力ビット（情報ビット）
- 25 数のことを拘束長Kといい、その数は排他的論理和に用いられるシフトレジスタの段数に等しい。

この符号化データは、入力ビットと先行する（ $K-1$ ）個の入力ビットの

## 2

状態とで定まる。この状態は、新たな入力ビットが入力されることによって新たな状態に遷移するが、遷移可能な状態は、新たな入力ビットが「0」であるか「1」であるかによって決定される。この状態数は、 $(K-1)$  個のビットのそれぞれが「0」又は「1」を取り得るから  $(2^{K-1})$  個となる。

5     ビタビ復号では、受信した符号化データ系列を観測し、取り得るすべての状態遷移の中から最も確からしい状態を推定する。そのため、このビタビ復号では、入力ビット1ビットに対応する符号化データを得るごとに、その時刻での各状態へのパスの信号間距離（メトリック）を計算し、同一状態に達するパスのうち、メトリックの小さいほうを生き残りパスとして残す。

10     図1に、拘束長 $K$ の畳み込み符号器において、時刻 $t$ の状態 $S[2j]$ と $S[2j+1]$ に対して、1つ前の時刻 $t-1$ の状態 $S[j]$ と $S[j+m/2]$ からの状態遷移を表す2本のパスがそれぞれ延びている様子を示す。ここで、 $j$ は正の整数であり、 $m$ は状態数を意味する。

図1において、パスメトリック $A1$ は、状態 $S[2j]$ に遷移する際に出  
15     力される期待データ系列と受信データ系列との信号間距離（ブランチメトリック $B1$ ）と、1つ前の時刻の状態 $S[j]$ までのパスメトリック $PM[j]$ との和である。

同様に、パスメトリック $A2$ は、状態 $S[2j]$ に遷移する際に出力され  
る期待データ系列と受信データ系列との信号間距離（ブランチメトリック $B$   
20     2）と、1つ前の時刻の状態 $S[j+m/2]$ までのパスメトリック $PM[j+m/2]$ との和である。

このようにして求めた、状態 $S[2j]$ に入力されるパスメトリック $A1$ と  
 $A2$ を比較し、小さいほうのパスを生き残りパスとして選択する。そして、  
選択したパスのパスメトリックを現時刻 $t$ での状態 $S[2j]$ に至るまでの  
25     パスメトリックとして、パスメトリックを更新する。

さらに、パスメトリック $A1$ と $A2$ のどちらのパスが選択されたかという履歴を、パスセレクト信号 $PS[i]$  ( $i = 0 \sim 2^{K-1} - 1$ ) として残してお

## 3

く。このとき、選択されたパスの1つ前の状態番号が、選択されなかった他方のパスの1つ前の状態番号よりも小さければ、 $PS[i] = 0$ とし、大きければ $PS[i] = 1$ とする。

これらの処理を、状態数×トレースバック長の回数だけ行う。そして、状態数×トレースバック長のパスセレクト信号と、最終時刻での状態数のパスメトリックとを得る。その後、これらの情報よりトレースバックを行って、符号化データを復号する。

次に、トレースバック処理について図2を用いて簡単に説明する。図2は、拘束長を「3」、トレースバック長を「7」としたときの、前記状態数×トレースバック長の回数の処理が終了した時点における各状態遷移の履歴を表したトレリス線図である。但し、各状態間の線上の数値は、それぞれの状態遷移におけるパスセレクト信号を表し、実線で示されたパスが生き残りパスであるとする。

このトレースバック処理では、まず、最終時刻における各状態でのパスメトリックを参照して、パスメトリックが最小となる状態を選択する。但し、符号化データの入力データ列にテールビットとして既知のデータ列が付加されている場合は、このテールビットにより示される状態を一意的に選択する（本例では、 $S[00]$ が選択されているものとしている）。次に、選択された状態の最終時刻でのパスセレクト信号より1つ前の時刻での状態へ遡る。そして、このときのパスセレクト信号を復号データとして出力する。以下同様に、単位時刻ごとに、パスセレクト信号を基に、状態（図2に太い実線で示されたパス）を遡りながら、トレースバック長の復号データを出力する。これにより、符号化データ列を復号することができる（本例では、 $1 \rightarrow 0 \rightarrow 1 \rightarrow 1 \rightarrow 0 \rightarrow 0 \rightarrow 0$ ）。

ところで、このビタビ復号器においては、拘束長を大きくするほどその誤り訂正能力が大きくなるが、拘束長を大きくすることにより処理量が増大する。そこで、従来の情報通信システムでは、高い誤り訂正能力を必要とする

情報源を送信する場合には拘束長の大きな符号化方式を用い、ある程度の誤りが許容されるような情報源を送信する場合には拘束長の短い符号化方式を用いるなどしている。しかしながら、このような方式では、1つの情報通信システムにおいて、複数種類の拘束長により符号化された信号を復号する必要がある。

一方、受信信号の等化処理を行う場合には、伝送路の状況に応じて推定伝送路の係数の数を任意に変化させることで、より精度の高い等化処理を行うことができる。しかし、このような精度の高い等化処理を行うには、ビタビ復号器として、任意の推定伝送路の係数の数に対応することができる汎用性の高いものが求められる。

特に、ビタビ復号法が用いられている移動体通信分野においては、電源に電池を使用して通信端末装置の携帯性を向上させているため、その低消費電力化が必須の条件となっている。

このため、従来のビタビ復号器では、ブランチメトリックやパスメトリックの計算といった符号化の拘束長等によらない決まりきった処理は、専用ハード化を行って低消費電力化を図っていた。また、パスセレクト信号からの復号や最尤判定といった拘束長により処理フローが変わるような処理は、ソフトウェアによってなされていた（例えば、特開平11-74800号公報参照）。

ところで、移動体通信分野においては、通信端末装置の連続通話時間の拡大や、携帯性を高めるための電池容量の削減などが求められている。このような低消費電力の通信端末装置を実現するためには、任意の拘束長及び任意の推定伝送路の係数の数に対応するビタビ復号器を消費電力の少ない小さな回路規模の専用ハードウェアで構成することが望ましい。

しかしながら、従来のビタビ復号器においては、前述したように、ソフトウェアにより複雑な処理が行われていたため、その消費電力が大きく前記要求に応えることが難しいという問題がある。

## 発明の開示

本発明の目的は、複数種類の拘束長及び任意の推定伝送路の係数の数に対応することができ、かつ、小さな回路規模の専用ハードウェアにより構成することができる汎用性の高い低消費電力のビタビ復号器を提供することである。

本発明の主題は、選択されたパスによって決定されるパスセレクト信号を  $n$  ステート（状態）分だけ一時記憶し、この一時記憶したパスセレクト信号を順に一連のトレースバック長分だけ記憶したパスセレクト信号に基づいて復号データを生成することである。

本発明の一形態によれば、ビタビ復号器は、入力符号に基づいて前時刻の状態から現時刻の状態に至るすべてのパスのブランチメトリックを算出するブランチメトリック演算手段と、前記ブランチメトリック演算手段により算出された前記ブランチメトリックと、与えられたパスメトリックとにより、現時刻の各状態へ至るパスの中から最も確実性の高いパスを選択し、選択したパスによって決定されるパスセレクト信号と、現時刻の状態に至るまでに要したパスメトリックとを出力するACS演算手段と、前記ACS演算手段から出力された前記パスメトリックを記憶するパスメトリック記憶手段と、前記ACS演算手段から出力された前記パスセレクト信号を  $n$  ステート分だけ記憶するパスセレクト信号一時記憶手段と、前記パスセレクト信号一時記憶手段に記憶された前記パスセレクト信号を一連のトレースバック長分だけ記憶するパスセレクト信号記憶手段と、前記パスセレクト信号記憶手段に記憶された前記パスセレクト信号に基づいて復号データを生成するトレースバック処理手段と、を具備する。

25

## 図面の簡単な説明

図1は、ビタビ復号器における符号の状態遷移のパスを示す状態遷移図、

## 6

図 2 は、ビタビ復号器における符号の状態遷移の一例を示すトレリス線図、

図 3 は、本発明の一実施の形態に係るビタビ符号器の構成を示すブロック図、

図 4 は、本発明の一実施の形態に係るビタビ復号器におけるパスセレクト  
5 信号一時記憶装置の構成を示すブロック図、

図 5 は、本発明の一実施の形態に係るビタビ復号器におけるトレースバック  
処理装置の構成を示すブロック図、

図 6 は、本発明の一実施の形態に係るビタビ復号器におけるビタビ復号の  
動作を説明するためのフローチャート、

10 図 7 は、図 6 に続くフローチャート、

図 8 は、畳み込み符号方式による符号化回路の一例を示す回路図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について、添付図面を参照して詳細に説明する。

15 図 3 に、本発明の一実施の形態に係るビタビ復号器 100 の構成を示す。  
このビタビ復号器 100 は、図 3 に示すように、ブランチメトリック演算装  
置 101、ACS 演算装置 102、パスメトリック記憶装置 103、パスセ  
レクト信号一時記憶装置 104、パスセレクト信号記憶装置 105 及びトレ  
ースバック処理装置 106 を備えている。

20 図 3 において、ブランチメトリック演算装置 101 は、入力される符号化  
データについて、前時刻の状態から現時刻の状態に至るすべてのパスについ  
てのブランチメトリックを演算して出力する。このブランチメトリック演算  
装置 101 により算出されたブランチメトリック 101a は、ACS 演算装  
置 102 に出力される。

25 ACS 演算装置 102 は、ブランチメトリック演算装置 101 から出力さ  
れたブランチメトリック 101a と、パスメトリック記憶装置 103 から与  
えられたパスメトリック 103a とにより、各状態へ至るパスの中から最も

確からしいパスを選択する。そして、選択したパスがどの状態からのパスであるかを示すパスセレクト信号 102a と、現時刻における各状態に至るまでに要したパスメトリック 102b とを出力する。

パスメトリック記憶装置 103 は、ACS 演算装置 102 から出力された  
5 パスメトリック 102b を状態数分だけ記憶するメモリ領域を備えており、次時刻での ACS 演算を行う際に ACS 演算装置 102 に対して入力するパスメトリック 103a を出力する。

パスセレクト信号一時記憶装置 104 は、ACS 演算装置 102 により生成されたパスセレクト信号 102a を  $n$  ステート分だけ一時的に記憶する。  
10 そして、所要のステート分だけのパスセレクト信号を格納した後、 $m$  ステート分 ( $m \leq n$ ) のパスセレクト信号 104a を出力する。このパスセレクト信号一時記憶装置 104 は、図 4 に示すように、所定のビット位置から入力することを可能とするセクタ (図示せず) を備えたシフトレジスタで構成されている。このパスセレクト信号一時記憶装置 104 としてのシフトレジ  
15 スタは、ビタビ復号を行うシステムの符号化拘束長又は想定される推定伝送路の係数の数に応じて入力ビット位置を変更する。

図 4 に示すパスセレクト信号一時記憶装置 104 は、8 ステート分のパスセレクト信号を記憶するシフトレジスタである。このパスセレクト信号一時記憶装置 104 は、左側のレジスタから 1 番目、5 番目、7 番目、8 番目の  
20 それぞれのビット位置を入力ビット位置としてパスセレクト信号を入力できる構成となっている。例えば、拘束長が「4」の生成多項式で符号化されたシンボルをビタビ復号器により復号する場合、1 シンボル当たり「8」だけのステート数がある。そして、これらのステートをそれぞれ  $S[0]$ 、 $S[1]$ 、 $\dots$ 、 $S[7]$  とし、パスセレクト信号一時記憶装置 104 の左側から 1 番目  
25 のレジスタから、ACS 演算装置 102 により生成された順 ( $S[0]$ 、 $S[1]$ 、 $\dots$ 、 $S[7]$ ) にパスセレクト信号を入力する。これにより、1 シンボル分のパスセレクト信号について、パスセレクト信号一時記憶装置 104 のレジス

タに、 $S[0]$ 、 $S[1]$ 、…、 $S[7]$  のパスセレクト信号が、右側のレジスタから順にそれぞれ格納される。

また、このビタビ復号器 100 にて拘束長が「3」の生成多項式で符号化されたシンボルを復号する場合は、1シンボル当たり 4 だけの状態数がある。そして、これらの状態を、それぞれ  $S[0]$ 、 $S[1]$ 、 $S[2]$ 、 $S[3]$  とし、パスセレクト信号一時記憶装置 104 の左側から 5 番目のレジスタから、ACS 演算装置 102 により生成された順 ( $S[0]$ 、 $S[1]$ 、 $S[2]$ 、 $S[3]$ ) にパスセレクト信号を入力する。これにより、1シンボル分のパスセレクト信号について、パスセレクト信号一時記憶装置 104 のレジスタに、 $S[0]$ 、 $S[1]$ 、 $S[2]$ 、 $S[3]$  のパスセレクト信号が、右側のレジスタから順に格納される。

また、ACS 演算を並列に行った場合は、同時に 2 つ以上のパスセレクト信号が生成される。そこで、この場合には、生成された複数のパスセレクト信号をパスセレクト信号一時記憶装置 104 の複数ある入力ポートに同時に入力する。これにより、パスセレクト信号を記憶するために余分な処理サイクルが不要となり、一連のレジスタに所定の状態の順でパスセレクト信号を格納することができる。例えば、拘束長が「4」の生成多項式で符号化されたシンボルを、前半の状態と後半の状態との ACS 演算を 2 並列で復号するとする。つまり、 $S[0]$  と  $S[4]$ 、 $S[1]$  と  $S[5]$ 、 $S[2]$  と  $S[6]$ 、 $S[3]$  と  $S[7]$  がそれぞれ同時に結果を出力するとする。この場合は、パスセレクト信号一時記憶装置 104 の左側から 1 番目と 5 番目のレジスタから同時に入力することにより、4 サイクルで、パスセレクト信号一時記憶装置 104 のレジスタに、 $S[0]$ 、 $S[1]$ 、…、 $S[7]$  のパスセレクト信号が、右側のレジスタから順に格納される。同様に、拘束長が「3」の生成多項式で符号化されたシンボルを、前半の状態と後半の状態との ACS 演算を 2 並列で復号するとする。つまり、 $S[0]$  と  $S[2]$ 、 $S[1]$  と  $S[3]$  がそれぞれ同時に結果を出力するとする。この



場合は、パスセレクト信号一時記憶装置 104 の左側から 5 番目と 7 番目のレジスタから同時に入力することにより、2 サイクルで、パスセレクト信号一時記憶装置 104 のレジスタに、S [0]、S [1]、S [2]、S [3] のパスセレクト信号が、右側のレジスタから順に格納される。

- 5      以上のように、パスセレクト一時記憶装置 104 は、所定のビット位置から入力可能なシフトレジスタで構成されることにより、この種のシステムにおいて使用されている符号化の拘束長によらず、一定のビット位置に一定のステートにおけるパスセレクト信号を格納することができる。

- つまり、上記のようにパスセレクト一時記憶装置 104 を構成することにより、符号化において使用されている拘束長、又は等化处理において考えられている推定伝送路の係数の数に応じて、パスセレクト信号を任意のビット位置からパスセレクト信号用シフトレジスタに書き込むことができる。これにより、拘束長又は推定伝送路の係数の数によらず、一定の形式（例えば、下位ビット詰め形式）でパスセレクト信号をパスセレクト信号記憶手段に格納することができる。従って、この構成においては、拘束長又は推定伝送路の係数の数に応じた特別な処理が不要となり、ソフトウェアによる余分な処理が不要となる。
- 10
- 15

- パスセレクト信号記憶装置 105 には、パスセレクト信号一時記憶装置 104 から取り出した n ステート分のパスセレクト信号 104 a が、一括又は複数回に分けて入力される。パスセレクト信号記憶装置 105 は、これらを 1 ワード単位として、トレースバック長分だけのパスセレクト信号を記憶する。そして、パスセレクト信号記憶装置 105 は、トレースバック処理装置 106 に、制御回路（不図示）により指定されたアドレスのパスセレクト信号 105 a を 1 ワード単位で出力する。
- 20

- 25      トレースバック処理装置 106 は、図 5 に示すように、パスセレクト信号記憶装置 105 から読み出された 1 ワード単位分のパスセレクト信号 105 a をシフトするためのバレルシフタ (BSHT) 201 を備えている。また、

トレースバック処理装置 106 は、バレルシフタ 201 により所定のビット位置にシフトされたビットを入力する復号データ用シフトレジスタ 202 を備えている。さらに、この復号データ用シフトレジスタ 202 の入力ビット位置から入力符号の情報に応じた所定のビット位置までのビットの内容をデコードするデコーダ 203 を備えている。

トレースバック処理は、ある 1 つの受信シンボルにおける全ステートのパスセレクト信号のうち、ある 1 つのステートのパスセレクト信号を選択することにより復号を行う。このため、このトレースバック処理においては、符号化を行った際の拘束長や、等化処理を行う際の想定している推定伝送路の係数の数によって、ステートの数が異なってくる。

そこで、このトレースバック処理装置 106 では、全ステートのパスセレクト信号のうち、ある 1 つのステートのパスセレクト信号を選択するためのバレルシフタ 201 の制御信号 203 a を、デコーダ 203 で生成するようにしている。つまり、トレースバック処理装置 106 は、デコーダ 203 により、入力符号の情報に応じて復号データ用シフトレジスタ 202 の入力ビット位置から所定のビット位置までのビットの内容をデコードするように構成されている。これにより、拘束長や推定伝送路の係数の数が変化した場合においても、ソフトウェアによる余分な処理を必要とすることなく、トレースバック処理による復号が可能となる。

つまり、上記のようにトレースバック処理装置 106 を構成することにより、パスセレクト記憶手段から読み出されたパスセレクト信号のうち、入力符号の情報（符号化において使用されている拘束長又は等化処理において想定されている推定伝送路の係数の数）に応じて、任意のビット位置のパスセレクト信号を取り出すことができる。そして、この取り出されたパスセレクト信号を復号データ用シフトレジスタにシフトインすることができる。これにより、任意の拘束長又は推定伝送路の係数の、任意の数に対応したトレースバック回路を専用ハードウェアで実現することができる。

次に、前述のビタビ復号器 100 の動作について、図 6 及び図 7 に示すフローチャートを用いて説明する。但し、以下の説明では、受信シンボルが畳み込み符号によって符号化されているものとする。

図 6 に示すように、ビタビ復号器 100 は、まず、ステップ S T 1 0 0 0  
5 で、時刻  $t$  での符号化データを受信する。受信した符号化データは、ブラン  
チメトリック演算装置 101 に入力される。

そして、ステップ S T 1 1 0 0 では、状態番号  $N$  での受信期待値と受信し  
た符号化データ系列のハミング距離又はユークリッド距離とを求めることに  
より、時刻  $t$  における状態番号  $N$  でのブランチメトリック 101 a を計算す  
10 る。

ここで、状態番号  $N$  における受信期待値は、例えば、受信した符号化デー  
タが、図 8 に示す畳み込み符号器 300 によって符号化されたものである場  
合、その状態番号  $N$  は畳み込み符号器 300 のシフトレジスタ 301 に保持  
されている値によって決定されるものである。そして、その符号化出力系列  
15 302 は、畳み込み符号器 300 のシフトレジスタ 301 に保持されている  
値と、畳み込み符号器 300 への符号化入力 303 を排他的論理和ゲート 3  
04 a、304 b、304 c によって演算された値として求められたもので  
ある。このブランチメトリックの算出においては、受信期待値の生成を複数  
の状態に対して同時に行うことで、ブランチメトリックを複数の状態番号又  
20 は畳み込み符号器 300 への符号化入力 303 の値が異なる場合に対して同  
時に算出することも可能である。

そして、ステップ S T 1 2 0 0 では、図 1 に示すようなバタフライ演算を  
行い、ACS 演算を実行する。つまり、ステップ S T 1 2 0 0 では、時刻 ( $t$   
- 1) から時刻  $t$  に遷移する際の、時刻  $t$  における状態番号  $N$  に遷移しうる  
25 時刻 ( $t$  - 1) での 2 つの状態でのパスメトリックと、ステップ S T 1 1 0  
0 で求められた時刻  $t$  での状態番号  $N$  でのブランチメトリックとにより ACS  
演算を行い、パスメトリックとパスセレクト信号を出力する。このように

ステップST1200では、生き残りパスを選択し、どちらのパスが選択されたかを示すパスセレクト信号102aと、時刻tでの状態番号Nでのパスメトリック102bとを出力する。このパスセレクト信号とパスメトリックとの算出においては、ACS演算装置102を複数個備えることにより、2  
5 つ以上の状態番号に対して同時に算出することが可能である。

そして、ステップST1300では、ステップST1200で算出されたパスメトリック102bを、時刻tにおける状態番号Nでのパスメトリックとして、パスメトリック記憶装置103に記憶する。

そして、ステップST1400では、ステップST1200で算出された  
10 パスセレクト信号をパスセレクト信号一時記憶装置104のシフトレジスタに格納する。このとき、符号化を行った際の拘束長に応じて、パスセレクト信号一時記憶装置104へ入力するビット位置を変更する。これにより、システムにおいて使用されている符号化の拘束長によらず、一定のビット位置に一定のステートにおけるパスセレクト信号を格納することができる。

15 なお、ステップST1300とステップST1400の順序は、逆であってもよい。

そして、ステップST1500では、時刻tでの全状態について終了したかどうかを判断する。この判断の結果として、時刻tでの全状態について終了した場合は、ステップST1600に進み、時刻tでの全状態について終  
20 了していない場合は、ステップST1100に戻って、ステップST1100からステップST1400までの処理を繰り返す。

ステップST1600では、トレースバック長のデータ受信を終了したかどうかを判断する。この判断の結果として、トレースバック長のデータ受信を終了した場合は、ステップST1700に進み、トレースバック長のデー  
25 タ受信を終了していない場合は、ステップST1000に戻って、ステップST1000からステップST1500までの処理を繰り返す。

その後、図7に示すように、ステップST1700では、トレースバック

開始状態番号が一意的に決められているかどうかを判断し、この判断の結果に応じて、ステップST1800又はステップST1900で、各状態のパスメトリックを参照してトレースバック開始状態番号を決定する。つまり、符号化データにテールビット等の既知のビットが存在する場合は、これらの

5 ビットによりトレースバック開始状態番号が決められているため、ステップST1900に進み、トレースバック開始状態番号を決定する。これに対し、符号化データにテールビット等の既知のビットが存在しない場合は、ステップST1800に進み、パスメトリック記憶装置103に記憶されている各状態におけるパスメトリックを参照し、トレースバック開始状態番号を決定

10 する。

そして、ステップST2000では、パスセレクト信号記憶装置105に記憶されている時刻 $t$ のパスセレクト信号を読み出し、トレース開始位置に応じてその内容をバレルシフタ201によりシフトさせる。つまり、受信した最終時刻のシンボルにおけるパスセレクト信号をパスセレクト信号記憶装

15 置105から読み出して、この内容をトレースバック開始位置に応じてバレルシフタ201によりシフトさせ、所定のビット位置のビットを得る。

そして、ステップST2100では、ステップST2000で得られたバレルシフタ201の出力（シフト結果）を、復号データ用シフトレジスタ202に代入する。

20 そして、ステップST2200では、時刻を1時刻前に戻し、ステップST2300では、先ほど読み出したパスセレクト信号が生成されたときから1時刻前のパスセレクト信号を、パスセレクト信号記憶装置105から読み出す。そして、このパスセレクト信号を、復号データ用シフトレジスタ202のうち符号化の拘束長に応じたビット位置までの内容に従って、バレルシ

25 フタ201によりシフトさせる。これにより、複数種類の拘束長に対応したビタビ復号におけるトレースバック処理が、ハードウェアによって実現される。

そして、ステップST2400では、 $t=0$ であるかどうかを判断する。この判断の結果として、 $t=0$ である場合は、上記一連の処理を終了し、 $t=0$ でない場合は、ステップST2100に戻って、ステップST2100からステップST2300の処理を繰り返す。そして、受信したすべてのシンボル又はトレースバック長だけのシンボルのトレースバック処理が終了することで、ビタビ復号が終了する。

このように、本実施の形態によれば、拘束長や推定伝送路の係数の数が変化した場合においても、ソフトウェアによる余分な処理を必要とすることなく、トレースバック処理による復号をすることができる。つまり、ビタビ復号器を小さな回路規模の専用ハードウェアで構成することができ、従来のDSPで行っていた場合に比べて低消費電力化を実現することができる。

本明細書は、2003年7月25日出願の特願2003-280274に基づく。この内容はすべてここに含めておく。

## 15 産業上の利用可能性

本発明に係るビタビ復号器は、複数種類の拘束長及び任意の推定伝送路の係数の数に対応することができ、かつ、小さな回路規模の専用ハードウェアにより汎用性が高く低消費電力に構成することができるという効果を有し、畳み込み符号や受信信号の等化処理を行う最尤復号法に用いられるビタビ復号器等として有用である。

## 請求の範囲

1. 入力符号に基づいて前時刻の状態から現時刻の状態に至るすべてのパスのブランチメトリックを算出するブランチメトリック演算手段と、
- 5 前記ブランチメトリック演算手段により算出された前記ブランチメトリックと、与えられたパスメトリックとにより、現時刻の各状態へ至るパスの中から最も確実性の高いパスを選択し、選択したパスによって決定されるパスセレクト信号と、現時刻の状態に至るまでに要したパスメトリックとを出力するACS演算手段と、
- 10 前記ACS演算手段から出力された前記パスメトリックを記憶するパスメトリック記憶手段と、  
前記ACS演算手段から出力された前記パスセレクト信号をnステート分だけ記憶するパスセレクト信号一時記憶手段と、  
前記パスセレクト信号一時記憶手段に記憶された前記パスセレクト信号を  
15 順に一連のトレースバック長分だけ記憶するパスセレクト信号記憶手段と、  
前記パスセレクト信号記憶手段に記憶された前記パスセレクト信号に基づいて復号データを生成するトレースバック処理手段と、  
を具備するビタビ復号器。
2. 前記パスセレクト信号一時記憶手段は、
- 20 nビットのパスセレクト信号用シフトレジスタを有し、  
前記パスセレクト信号用シフトレジスタは、所定のビット位置から前記パスセレクト信号を入力する、  
請求の範囲1記載のビタビ復号器。
3. 前記トレースバック処理手段は、
- 25 前記パスセレクト信号記憶手段から読み出されたパスセレクト信号をシフトするバレルシフトと、  
前記バレルシフトにより所定のビット位置にシフトされた1ビットを入力

する復号データ用シフトレジスタと、を有し、

前記復号データ用シフトレジスタの入力ビット位置から入力符号の情報に応じた所定のビット位置までのビットの内容を変換して前記バレルシフタでの前記パスセレクト信号のシフト数を生成する、

- 5 請求の範囲 1 又は請求の範囲 2 記載のビタビ復号器。



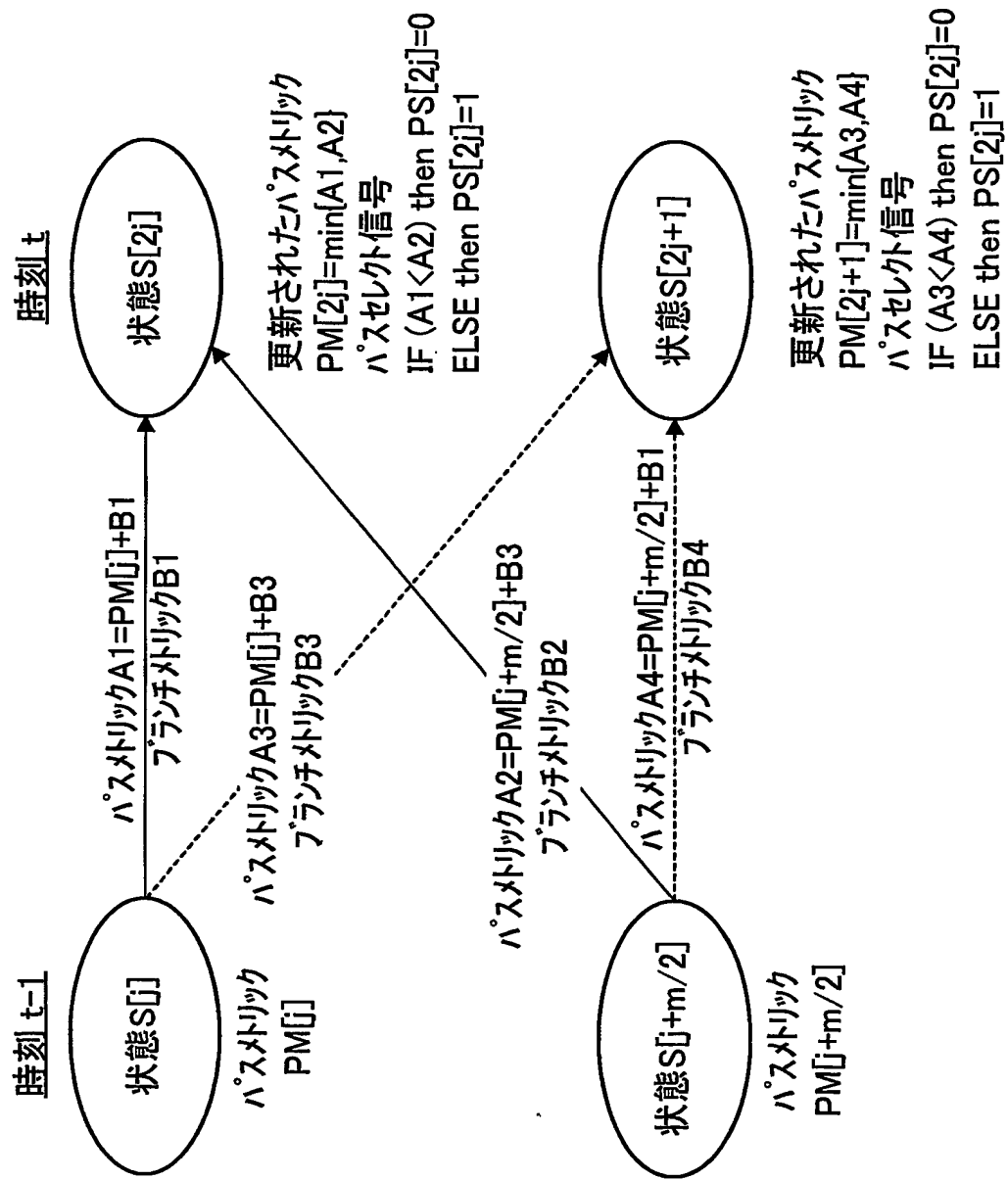


図1

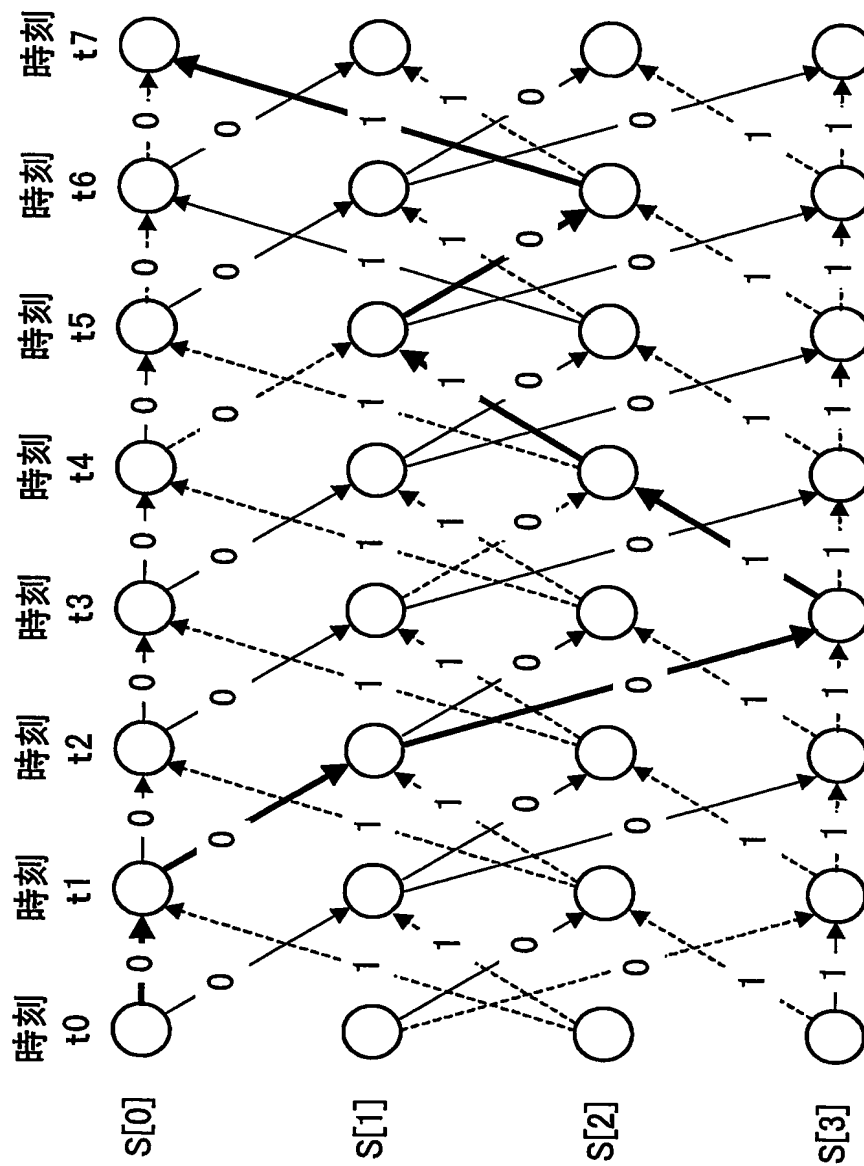


図2

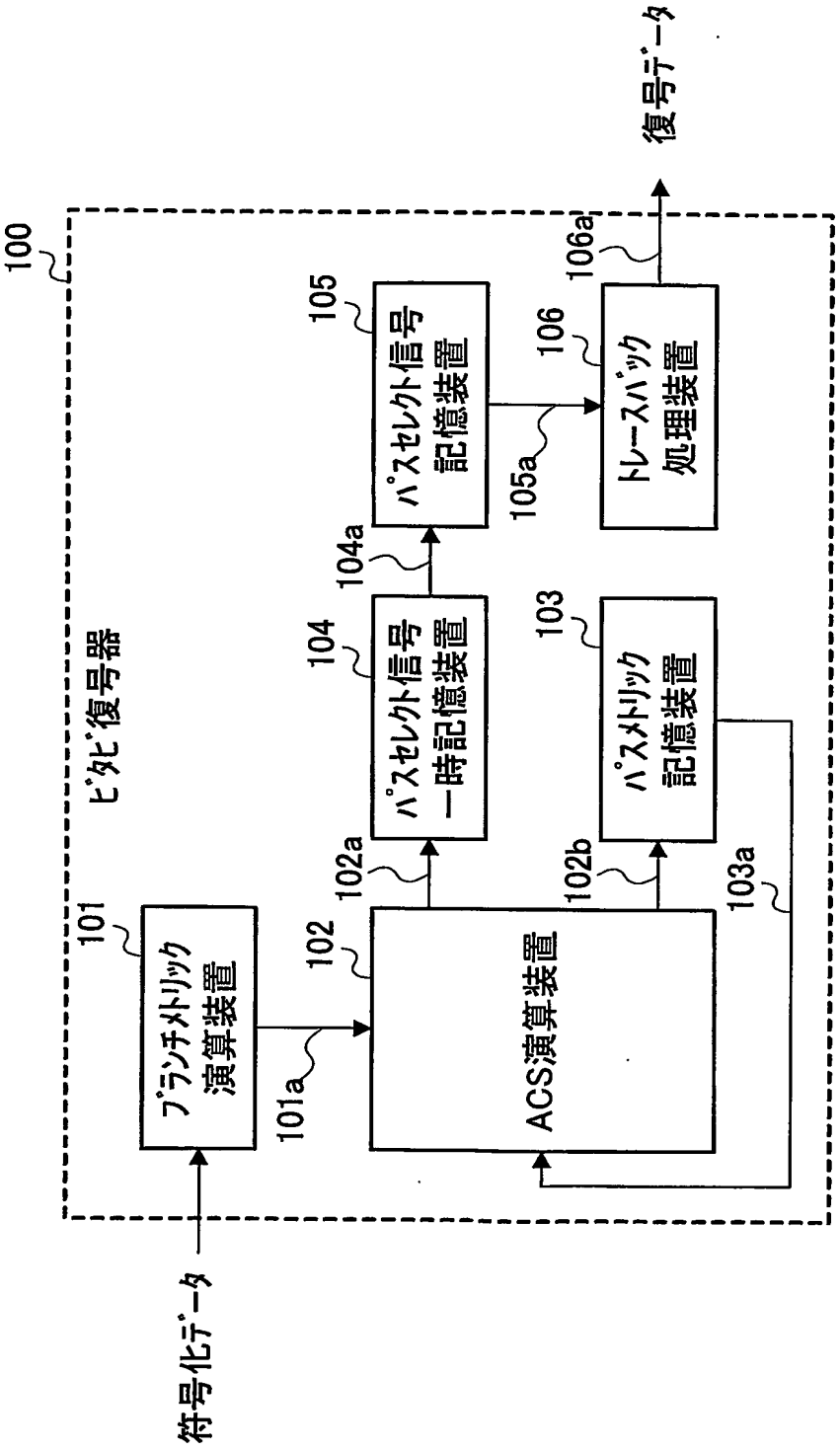


図3

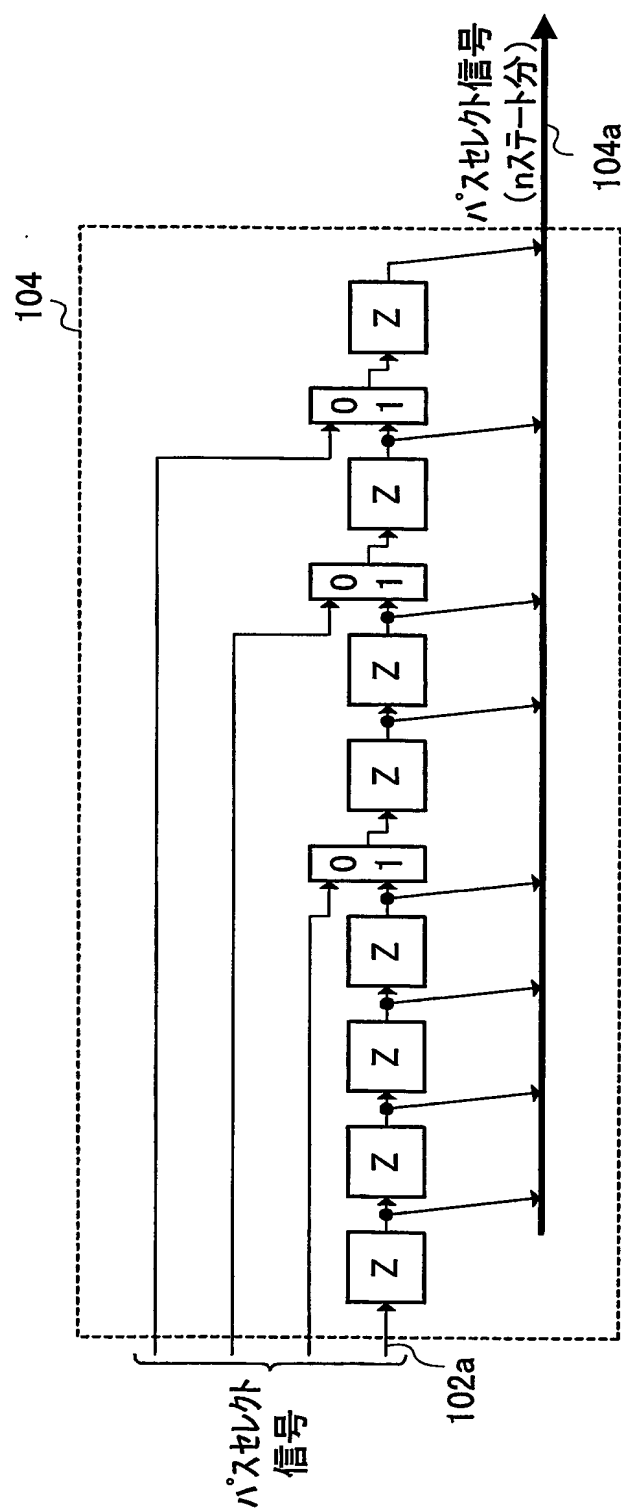


図4

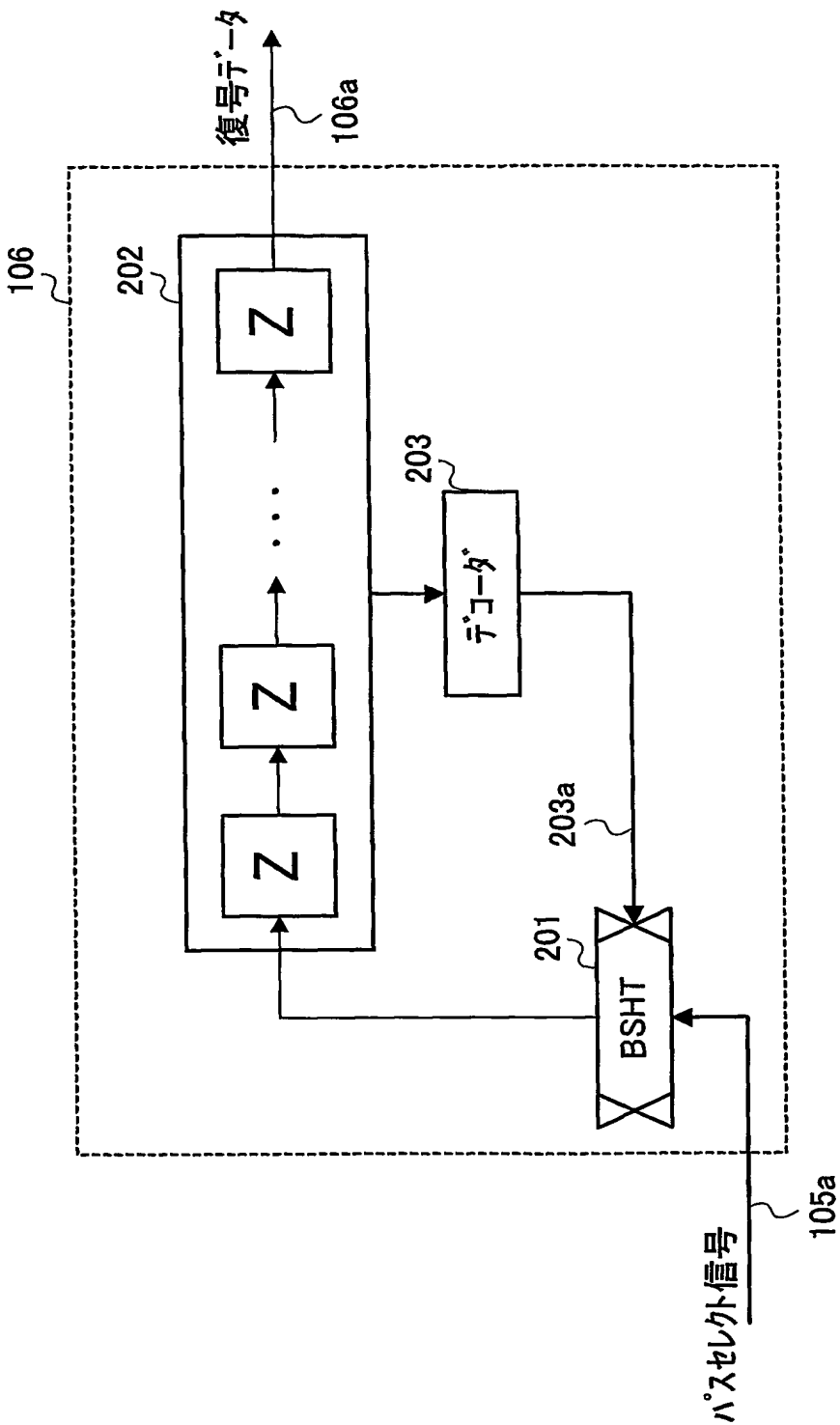


図5

6/8

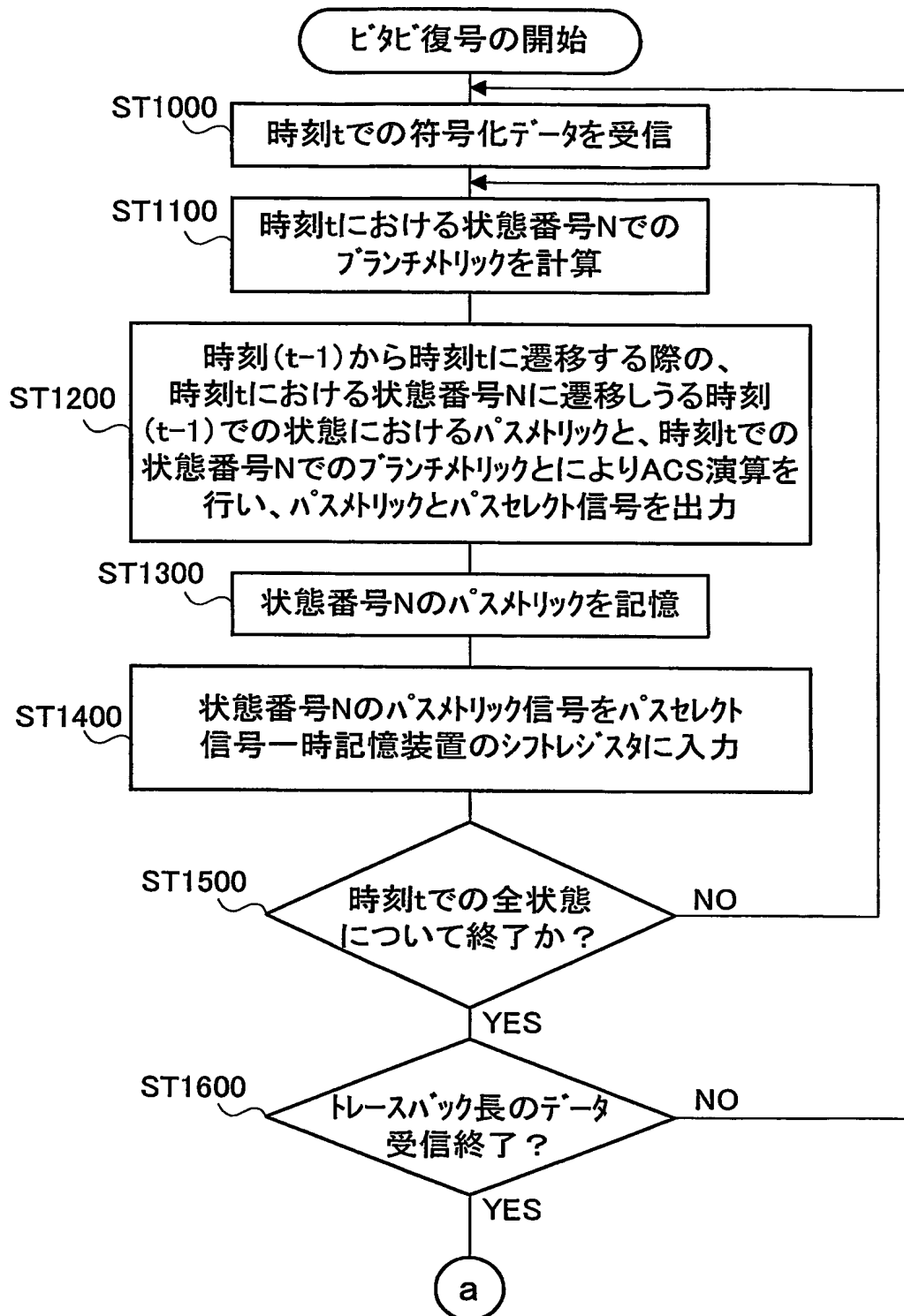


図6

7/8

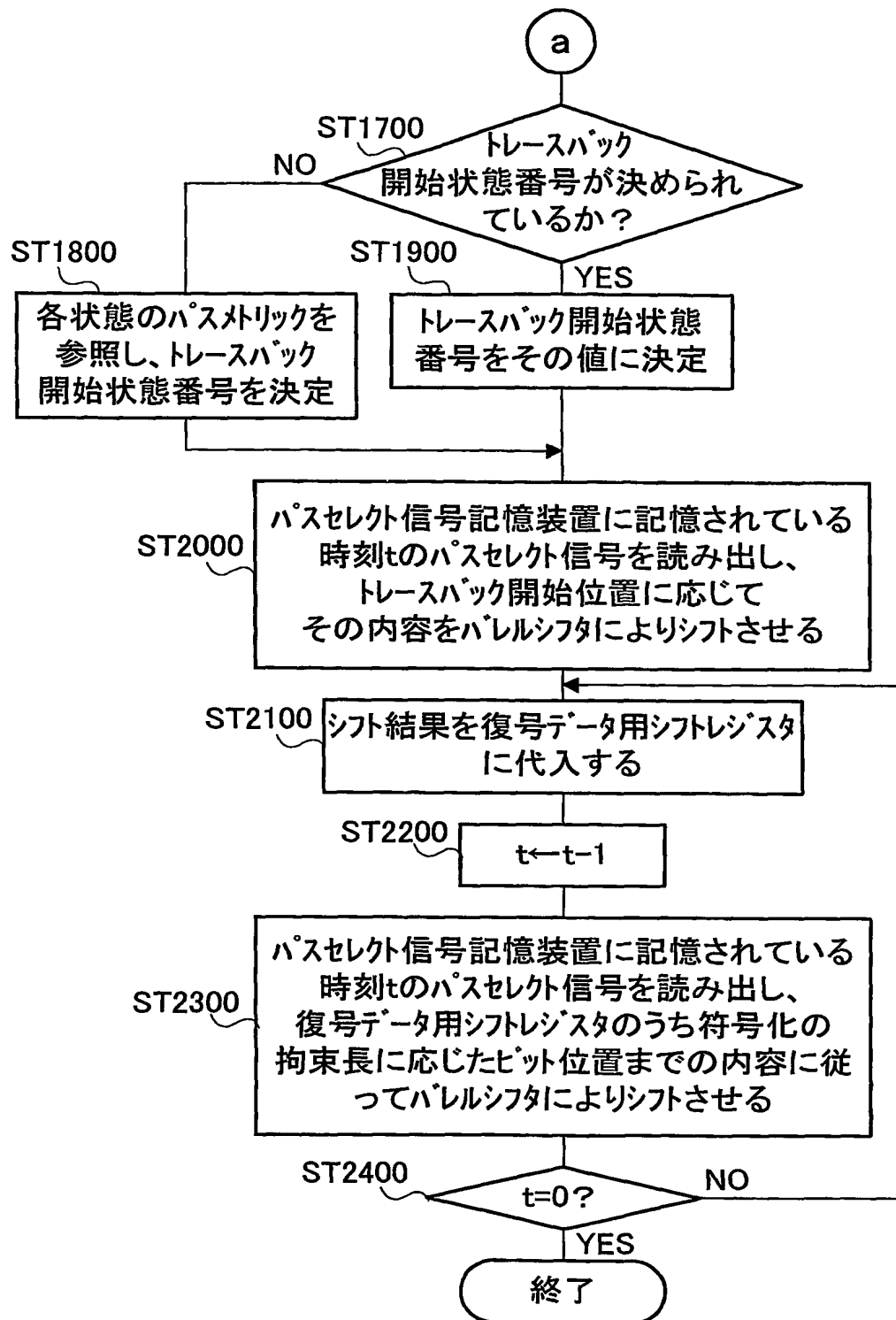


図7

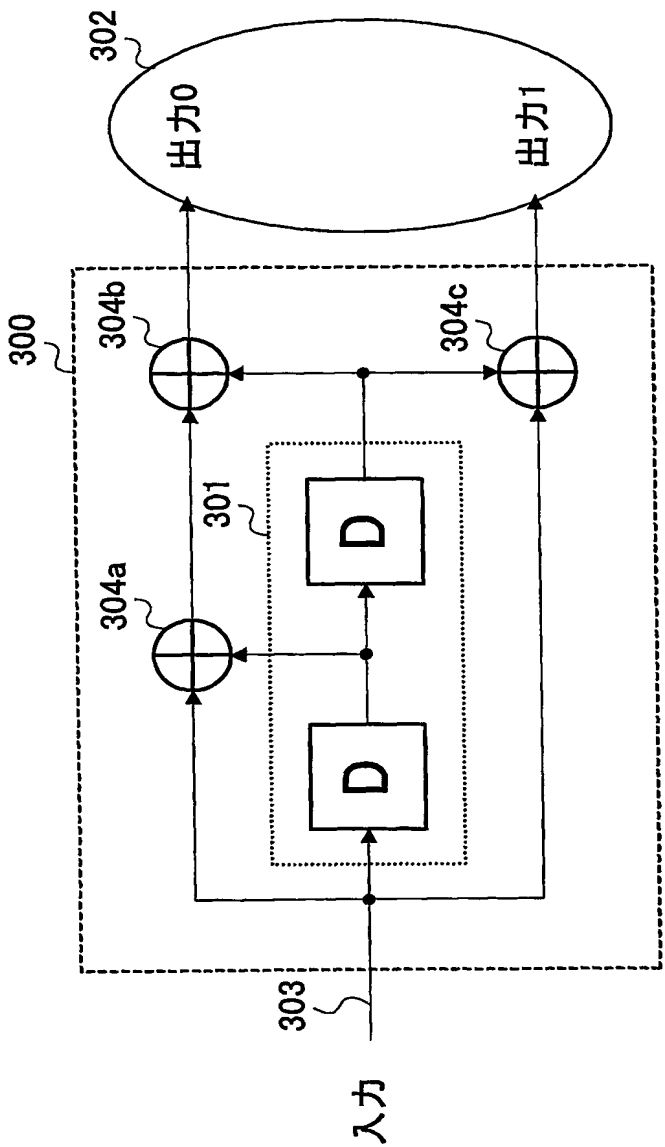


図8



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010981

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H03M13/41

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H03M13/00-13/53, H04L1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 8-167858 A (Oki Electric Industry Co., Ltd.), 25 June, 1996 (25.06.96), Par. Nos. [0002] to [0022]; Fig. 3 (Family: none)	1, 2 3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
26 October, 2004 (26.10.04)

Date of mailing of the international search report  
09 November, 2004 (09.11.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H03M 13/41

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H03M13/00-13/53, H04L 1/00

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 8-167858 A(沖電気工業株式会社)1996. 06. 25, 段落番号【0002】 - 【0022】, 図3 (ファミリーなし)	1, 2
A		3

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

26. 10. 2004

国際調査報告の発送日

09.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

藤井 浩

5 K

8 6 2 5

電話番号 03-3581-1101 内線 3555